

*Hummel*

*U7 4270*

*Docket # L...  
INV.: Math. EICHH...*

⑮ BUNDESREPUBLIK  
DEUTSCHLAND

⑫ Patentschrift  
⑪ DE 3639 169 C2

⑤ Int. Cl. 4:  
G 11 C 29/00



DEUTSCHES  
PATENTAMT

⑳ Aktenzeichen: P 36 39 169.7-53  
㉑ Anmeldetag: 15. 11. 86  
㉒ Offenlegungstag: 23. 7. 87  
㉓ Veröffentlichungstag  
der Patenterteilung: 22. 6. 89

*AD*

DE 3639169 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③① Unionspriorität: ③② ③③ ③①

21.01.86 JP 12319/86

⑦③ Patentinhaber:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦④ Vertreter:

Reichel, W., Dipl.-Ing.; Lippert, H., Dipl.-Ing.,  
Pat.-Anwälte, 6000 Frankfurt

⑦② Erfinder:

Tobita, Youichi, Itami, Hyogo, JP

⑤⑥ Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE-OS 30 16 176

EP 00 43 415 A1

Cady, R.C. et al, RAM Internal Parallel Testing  
Technique, in: IBM Technical Disclosure Bulletin  
Vol. 27, No. 7B, Dezember 1984, S. 4534-4536;

Inoue, Yasukazu und andere, An 85 ns 1Mb in a  
plastic DIP, In: 1985 IEEE International Solid-State  
Circuits Conference S. 238;

Kumanoya, Masaki und andere, A 90 ns 1Mb DRAM  
with Multi-Bit Test Mode, In: 1985 International  
Solid-State Circuits Conference, S. 240, 241;

⑤④ Halbleiterspeichervorrichtung

DE 3639169 C2

USPS EXPRESS MAIL  
EL 887 873 134 13  
DECEMBER 11 2001

## Beschreibung

Die Erfindung bezieht sich auf eine Halbleiterspeichervorrichtung mit einer Vielzahl von Speicherzellen.

Die Speicherkapazität neu entwickelter Halbleiterspeichervorrichtungen nimmt ständig zu. So hat sich in den letzten Jahren die Speicherkapazität etwa alle drei Jahre vervierfacht. Die zum Prüfen oder Testen der Arbeitsweise eines Halbleiterspeichers erforderliche Zeit nimmt allerdings mit anwachsender Speicherkapazität ebenfalls zu.

Ein dynamischer Direktzugriffsspeicher (DRAM) mit einer Konfiguration von 1 Megawort  $\times$  1 Bit, bei dem die Adressen duplexiert werden, befindet sich bereits auf dem Markt und ist in Druckschriften mit dem Titel "An 85 ns 1Mb in a plastic DIP", Yasukazu Inoue und andere, 1985 IEEE International Solid-State Circuits Conference, Seite 238, und mit dem Titel "A 90 ns 1Mb DRAM with Multi-Bit Test Mode", Masaki Kumanoya und andere, 1985 IEEE International Solid-State Circuits Conference, Seite 240 beschrieben. Wenn man in diesen DRAM "0"-Daten in alle Speicherzellen einschreibt und "0"-Daten aus allen Speicherzellen ausliest sowie "1"-Daten in alle Speicherzellen einschreibt und "1"-Daten aus allen Speicherzellen ausliest und wenn weiterhin die Zykluszeit (die Maximumimpulsbreite des  $\overline{RAS}$ -Signals (Zeilenadrestakt))  $10 \mu s$  beträgt, erhält man die Prüf- oder Testzeit  $T1$  aus der folgenden Gleichung (1):

$$T1 = 4 \text{ ("0"-Einschreiben bis "0"-Auslesen, "1"-Einschreiben bis "1"-Auslesen)} \\ \times 1 \times 10^6 \text{ (Speicherkapazität)} \\ \times 10 \mu s \text{ (Zykluszeit)} \\ = 40 s \quad (1)$$

Bei einem gewöhnlichen dynamischen RAM oder DRAM muß man den obigen Test mehrmals wiederholen, und zwar für die maximale (5,5 V) und die minimale (4,5 V) Spannung des Betriebsspannungsbereiches sowie für die höchste (70°C) und die niedrigste (0°C) Temperatur des Betriebstemperaturbereiches. Die gesamte Testzeit  $T2$  ergibt sich daher wie folgt:

$$T2 = 40 s \times 4 = 160 s. \quad (2)$$

Die Testzeit nach Gleichung (2) ist als Testzeit einer integrierten Schaltung (IC) relativ lang und vermindert die Produktivität.

Aus der zuletzt genannten Druckschrift 1985 IEEE International Solid-State Circuits Conference ist es jedoch bereits bekannt, eine Testzeitverkürzung dadurch herbeizuführen, daß 4 Bits gleichzeitig beschreib- und lesbar sind.

Aus der Druckschrift IBM-TDB 12/84, Seiten 4534 bis 4536, ist es bekannt, um den Zeitaufwand zum Prüfen oder Testen eines Halbleiterspeichers, der eine Vielzahl von Speicherzellen enthält, möglichst gering zu halten, Einrichtungen vorzusehen, die ansprechend auf eine Testaufruf-Detektionsschaltung, veranlassen, daß der Halbleiterspeichervorrichtung zugeführte Daten in eine Vielzahl der Speicherzellen gleichzeitig eingeschrieben werden und daß die in dieser Vielzahl der Speicherzellen enthaltenen Daten gleichzeitig aus ihnen ausgegeben werden, und eine Einrichtung zur Beurteilung, ob oder ob nicht die aus den Speicherzellen ausgelesenen Daten mit den der Halbleiterspeichervorrichtung ursprünglich zugeführten Daten übereinstimmen. Das

zum Testaufruf dienende Signal wird der Halbleiterspeichervorrichtung über einen separaten externen Anschluß zugeführt.

Aus der DE-OS 30 16 176 ist es bei einer Prüfschaltung für einen elektrisch programmierbaren Festwertspeicher (EPROM) bekannt, wenigstens zwei separate, externe Eingangsanschlüsse zum Zuführen einer Prüfungsspannung und einer extern veränderbaren Gleichspannung in Form einer Spannungsrampe vorzusehen.

Aus der EP 43 415 A1 ist es beim Prüfen einer Halbleiterspeichervorrichtung bekannt, in einer Einrichtung zur Beurteilung des Prüfungsergebnisses Verknüpfungsglieder einschließlich von ODER- und UND-Schaltungen einzusetzen.

Der Erfindung liegt die Aufgabe zugrunde, bei einer Halbleiterspeichervorrichtung, insbesondere bei einem dynamischen Direktzugriffsspeicher (DRAM), eine Testaufruf-Detektionsschaltung so zu gestalten, daß die räumlichen Abmessungen der Halbleiterspeichervorrichtung so gering wie möglich sind.

Diese Aufgabe wird durch den Gegenstand des Patentanspruchs 1 gelöst. Danach spricht die Testaufruf-Detektionsschaltung zum Erzeugen eines Test-Signals auf eine Spannung an, die der Halbleiterspeichervorrichtung nicht über einen zusätzlichen Eingangsanschluß, sondern über einen Eingangsanschluß zugeführt wird, der auch zum normalen Betrieb der Halbleiterspeichervorrichtung vorhanden und erforderlich ist. Zur Unterscheidung gegenüber den Spannungen, die beim Normalbetrieb an dem Eingangsanschluß anliegen, wird für den Spezialfall des Testbetriebs ein höherer Spannungspegel gewählt.

Die Vermeidung eines zusätzlichen Eingangsanschlusses ist bei Halbleiterspeichervorrichtungen der betrachteten Art äußerst wichtig und wesentlich, damit die Abmessungen des Bausteins bzw. des IC-Gehäuses so klein wie möglich sind. Eine Zunahme der Anzahl der externen Anschlüsse würde ein größeres Gehäuse für die Halbleiterspeichervorrichtung bedingen. Nach der Erfindung ist es somit möglich, bei einer Halbleiterspeichervorrichtung mit einer Vielzahl von Speicherzellen mehrere Speicherzellen in einer möglichst kurzen Testzeit gleichzeitig zu testen, ohne daß dies eine Erhöhung der Anzahl der äußeren Anschlüsse erfordert.

Bevorzugte Ausbildungen und zweckmäßige Weiterbildungen der Erfindung sind Gegenstand von Unteransprüchen.

Die Erfindung wird im folgenden an Hand von Zeichnungen beispielshalber erläutert. Es zeigt:

Fig. 1 ein Ausführungsbeispiel einer Verkürzungstest-Aufruf-Detektionsschaltung einer Halbleiterspeichervorrichtung nach der Erfindung.

Fig. 2 ein Diagramm mit zeitlichen Verläufen von Signalen zur Erläuterung der Arbeitsweise der Schaltung nach Fig. 1.

Fig. 3 ein Diagramm mit Einzelheiten von Signalverläufen zu einer Zeit  $t$  in Fig. 2.

Fig. 4 ein Schaltbild einer Halbleiterspeichervorrichtung einschließlich der Verkürzungstest-Aufruf-Detektionsschaltung nach Fig. 1.

Fig. 5 ein Diagramm mit zeitlichen Verläufen von Signalen zur Erläuterung der Arbeitsweise des Schaltbilds nach Fig. 4.

Fig. 6 eine schematische Ansicht eines weiteren Ausführungsbeispiels der Erfindung; und

Fig. 7 eine schematische Ansicht weiterer Einzelheiten des Ausführungsbeispiels nach Fig. 6.

In Fig. 1 ist eine Detektionsschaltung dargestellt, die

zum Aufruf eines Tests mit reduzierter Zeit dient und die einen Teil einer nach der Erfindung ausgebildeten Halbleiterspeichervorrichtung darstellt.

Im einzelnen ist gemäß der Darstellung nach Fig. 1A vorgesehen ein Versorgungsquellenanschluß zum Anlegen einer Versorgungsspannung  $V_{CC}$ , ein externer Eingangsanschluß 2 zum Anlegen eines externen  $\overline{CAS}$ -Eingangssignals ( $CAS$  = Speicheradrestakt), ein Metalloxydhalbleitertransistor (MOS-Transistor) oder MOST 3, dessen Drain und Gate mit dem externen Eingangsanschluß 2 verbunden sind, ein MOST  $M_1$ , dessen Drain und Gate gemeinsam zu einem Verbindungspunkt  $N_1$  führen, der mit der Source des MOST 3 verbunden ist, sowie eine Reihenschaltung aus MOSTs  $M_2$  bis  $M_n$ , deren jeweilige Drains und Gates zusammen zu jeweiligen Verbindungspunkten  $N_2$  bis  $N_n$  führen, die ihrerseits mit den jeweiligen Sources der MOSTs  $M_1$  bis  $M(n-1)$  verbunden sind. Ferner sind vorgesehen ein MOST 4, dessen Drain bei einem Verbindungspunkt 5 mit der Source des MOST  $M_n$  verbunden ist, dessen Source an Masse angeschlossen ist und dessen Gate mit einem Anschluß 6 verbunden ist, der zum Anlegen eines internen Taktsignals  $\phi\overline{RAS}$  dient, ein MOST 7, dessen Drain mit dem Versorgungsquellenanschluß 1 verbunden ist und dessen Gate mit dem Anschluß 6 verbunden ist, ein MOST 8, dessen Drain bei einem Verbindungspunkt 9 mit der Source des MOST 7 verbunden ist, dessen Source an Masse angeschlossen ist und dessen Gate zum Verbindungspunkt 5 führt, ein MOST 10, dessen Drain mit dem Verbindungspunkt 5 verbunden ist, dessen Source an Masse angeschlossen ist und dessen Gate zu dem Verbindungspunkt 9 führt, ein MOST 11, dessen Drain mit einem Anschluß 12 verbunden ist, der zum Anlegen eines internen Taktsignals  $\phi\overline{RAS}$  dient, dessen Gate mit dem Versorgungsquellenanschluß 1 verbunden ist und dessen Source zu einem Verbindungspunkt 13 führt, ein MOST 14, dessen Drain mit dem Versorgungsquellenanschluß 1 verbunden ist, dessen Gate zu dem Verbindungspunkt 13 führt und dessen Source zu einem Verbindungspunkt 16 führt, ein MOST 15, dessen Source an Masse angeschlossen ist und dessen Gate zum Verbindungspunkt 9 führt, und ein kapazitives Element 17, dessen eine Elektrode mit dem Verbindungspunkt 13 verbunden ist und dessen andere Elektrode zum Verbindungspunkt 16 führt. Die MOSTs 11, 14 und 15 und das kapazitive Element 17 bilden in Kombination eine Bootstrap-Inverterschaltung, in der der MOST 14 als Belastungstransistor, der MOST 15 als Treibertransistor, der MOST 11 als Ladetransistor und das kapazitive Element 17 als Booster- oder Erhöhungskondensator dient.

Weiterhin sind vorgesehen ein MOST 18, dessen Drain mit dem Verbindungspunkt 16 verbunden ist, dessen Source mit einem Verbindungspunkt 19 verbunden ist und dessen Gate mit dem Versorgungsquellenanschluß 1 verbunden ist, ein MOST 20, dessen Drain mit einem Anschluß 21 verbunden ist, der zum Anlegen eines internen Taktsignals  $\phi\overline{CAS}$  dient, dessen Gate mit dem Verbindungspunkt 19 verbunden ist und dessen Source zu einem Verbindungspunkt 22 führt, ein MOST 23, dessen Drain mit dem Verbindungspunkt 22 verbunden ist, dessen Gate zum Anschluß 6 führt und dessen Source an Masse angeschlossen ist, ein Widerstand 24, dessen eines Ende mit dem Versorgungsquellenanschluß 1 und dessen anderes Ende mit einem Verbindungspunkt 26 verbunden ist, und ein MOST 25, dessen Drain zu Verbindungspunkt 26 führt, dessen Gate mit dem Verbindungspunkt 22 verbunden ist und dessen

Source an Masse angeschlossen ist.

In Fig. 1B ist eine Schaltung dargestellt, die zum Erzeugen der internen RAS-Signale  $\phi\overline{RAS}$  und  $\phi\overline{RAS}$  dient, die an die Anschlüsse 12 bzw. 6 nach Fig. 1A angelegt werden.

Im einzelnen zeigt Fig. 1B eine Umkehr- oder Inverterschaltung 28, deren Eingangsanschluß mit einem Anschluß 27 verbunden ist, der zum Anlegen eines externen  $\overline{RAS}$ -Signals ( $RAS$  = Zeilenadrestakt) dient, und deren Ausgangsanschluß zu einem Anschluß 12 führt, der mit dem Anschluß 12 nach Fig. 1A identisch ist, und eine Umkehr- oder Inverterschaltung 29, deren Eingangsanschluß mit dem Anschluß 12 verbunden ist und deren Ausgangsanschluß an einen Anschluß 6 angeschlossen ist, der mit dem Anschluß 6 nach Fig. 1A identisch ist.

Fig. 1C zeigt eine Schaltung zum Erzeugen der internen  $\overline{CAS}$ -Signale  $\phi\overline{CAS}$  und  $\phi\overline{CAS}$ , die dem Anschluß 21 nach Fig. 1A bzw. einem Anschluß 32 zugeführt werden.

Gemäß der Darstellung nach Fig. 1C sind in einzelnen vorgesehen eine Umkehr- oder Inverterschaltung 30, deren Eingangsanschluß mit dem Anschluß 2 verbunden ist und deren Ausgangsanschluß zum Anschluß 21 führt, und eine Umkehr- oder Inverterschaltung 31, deren Eingangsanschluß mit dem Anschluß 21 verbunden ist und deren Ausgangsanschluß mit einem Anschluß 32 verbunden ist.

Die Arbeitsweise der Schaltung nach Fig. 1 soll nachstehend unter Bezugnahme auf Fig. 2 und 3 erläutert werden, wobei Fig. 3 weitere Einzelheiten der Arbeitsweise zu einer Zeit  $t_1$  in einem vergrößerten Zeitmaßstab darstellt.

Die internen Taktsignale  $\phi\overline{RAS}$ ,  $\phi\overline{RAS}$  und  $\phi\overline{CAS}$ , die aus den externen Signalen  $\overline{RAS}$  und  $\overline{CAS}$  nach Fig. 2A und 2B gewonnen werden, sind in Fig. 2C, 2D und 2E dargestellt. Auf die Darstellung des internen Taktsignals  $\phi\overline{CAS}$  wurde verzichtet. Bis zu einer Zeit  $t_1$  befinden sich die Signale an den Verbindungspunkten 5, 13, 16 und 22 auf dem "L"-Pegel, wie es in Fig. 2F, 2H, 2I und 2K gezeigt ist, wohingegen die Signale an den Verbindungspunkten 9 und 26 den "H"-Pegel einnehmen, wie es aus Fig. 2G und 2L hervorgeht.

Zur Zeit  $t_1$  fällt das äußere Signal  $\overline{RAS}$  auf "L" ab, das Signal  $\phi\overline{RAS}$  steigt auf "H" an, und das Signal  $\phi\overline{RAS}$  fällt auf "L" ab, wie es aus Fig. 2A, 2C und 2D hervorgeht. Der Transistor 4 wird daher abgeschaltet.

Unter der Voraussetzung, daß die Anzahl  $n$  der MOSTs  $M_1$  bis  $M_n$  gleich 11 ist, beträgt die gesamte Anzahl der MOSTs, die zwischen dem Anschluß 2 und dem Verbindungspunkt 5 in Reihe geschaltet sind (und deren Drains und Sources direkt miteinander verbunden sind), gleich 12. Wird die Schwellenspannung  $V_{TH}$  der MOSTs 3 und  $M_1$  bis  $M_n$  mit 0,5 V angenommen, ist die Reihenschaltung aus den MOSTs 3 und  $M_1$  bis  $M_n$  einem einzigen MOST mit einer Schwellenspannung von  $0,5 \times 12 = 6$  V äquivalent, wobei von diesem einzigen MOST die Drain und das Gate an den Anschluß 2 und die Source an den Verbindungspunkt 5 angeschlossen sind. Ist der Spannungswert des H-Pegels des externen  $\overline{CAS}$ -Signals gleich 5 V, wobei dies der Wert bei normalen Betriebsbedingungen ist, liegt der H-Pegel des externen  $\overline{CAS}$ -Eingangssignals unter dem Schwellenwert (6 V) des äquivalenten MOST, der deshalb nicht leitend ist, so daß sich die Zustände der Verbindungspunkte 5 und 9 nicht ändern. In diesem Zustand führt die Speichervorrichtung ihre normale Arbeits- oder Betriebsweise aus.

Setzt man den H-Pegel des externen  $\overline{CAS}$ -Eingangs-

signals auf einen Wert von beispielsweise 10 V, wie es in Fig. 2B gezeigt ist, welcher höher als die Schwellenspannung des äquivalenten MOST ist, wird der äquivalente MOST eingeschaltet, wenn das Signal  $\phi\overline{RAS}$  auf L abfällt. Da der EIN-Widerstand des MOST 10 hinreichend höher als der EIN-Widerstand des äquivalenten MOST eingestellt ist, erhöht sich das Potential am Verbindungspunkt 5 mit dem Pegel des Signals  $\overline{CAS}$ , so daß der MOST 8 eingeschaltet wird. Dementsprechend fällt das Potential am Verbindungspunkt 9 auf L ab.

Wie es mit noch größerer Deutlichkeit in Fig. 3 dargestellt ist, wird zu einer Zeit  $t_{11}$  der Verbindungspunkt 13 auf eine Spannung  $V_{CC} - V_{TH}$  angehoben, die um die Schwellenspannung  $V_{TH}$  des MOST 11 niedriger als die Versorgungsquellenspannung  $V_{CC}$  ist, so daß der MOST 14 leitet. Wenn in diesem Zustand die Gate-Spannung des MOST 15 während Zeiten  $t_{12}$  bis  $t_{13}$  von H auf L abfällt und zwar aufgrund des Umstandes, daß der MOST 8 eingeschaltet wird, wird der MOST 15 ausgeschaltet, und der Pegel des Verbindungspunktes 16 steigt während Zeiten  $t_{13}$  bis  $t_{14}$  von L auf H an. Das Spannungskrement wird über den Kondensator 17 übertragen und läßt den Pegel des Verbindungspunktes 13 auf einen Wert höher als  $V_{CC} + V_{TH}$  ansteigen und erhöht den Pegel des Verbindungspunktes 16 auf  $V_{CC}$ . Die Folge davon ist, daß der Pegel des Verbindungspunktes 19 aufgeladen wird auf die Spannung  $V_{CC} - V_{TH}$ , die um die Schwellenspannung  $V_{TH}$  des MOST 18 niedriger als die Versorgungsquellenspannung  $V_{CC}$  ist.

Zu einer Zeit  $t_2$  fällt das externe  $\overline{CAS}$ -Signal auf L ab, wie es aus Fig. 2B hervorgeht, und das Signal  $\phi\overline{CAS}$  steigt auf H an. Der MOST 23, dessen Gate-Spannung gleich L ist, ist nichtleitend. Der MOST 20 ist leitend. Mit dem Anstieg des Signals  $\phi\overline{CAS}$  von L auf H geht das Potential am Verbindungspunkt 19 nach oben, und zwar auf  $V_{CC} + V_{TH}$ , wie es in Fig. 2J gezeigt ist, wegen der Gate-Kapazität des MOST 20. Der Pegel eines Test-Signals  $\overline{TEST}$  am Verbindungspunkt 22 steigt, wie in Fig. 2K dargestellt, auf  $V_{CC}$  an. Wenn der Potentialpegel des Verbindungspunktes 22 ansteigt, wird der MOST 25 eingeschaltet, und, wie es in Fig. 2L dargestellt ist, fällt der Pegel des Test-Signals  $\overline{TEST}$  am Verbindungspunkt 26 von H auf L ab. Das Test-Signal  $\overline{TEST}$  steigt somit auf H an, und das Test-Signal  $\overline{TEST}$  fällt auf L ab.

Zu einer Zeit  $t_3$  steigt das externe Signal  $\overline{RAS}$  auf H an, und dementsprechend fällt das Signal  $\phi\overline{RAS}$  auf L ab, wohingegen das Signal  $\phi\overline{RAS}$  ebenfalls den Wert H annimmt. Die Folge davon ist, daß die Signale an den Verbindungspunkten 5, 13, 16 und 22 auf L abfallen, wohingegen die Signale an den Verbindungspunkten 9 und 26 auf H ansteigen. Dementsprechend fällt das Test-Signal  $\overline{TEST}$  auf L ab, und das Test-Signal  $\overline{TEST}$  steigt auf H an. Damit ist der die Testzeit verkürzende Zustand beendet.

Ein Ausführungsbeispiel einer Schaltung zum Erzeugen eines Test-Signals, das einen Testzeitverkürzungszustand bewirkt, ist unter Bezugnahme auf Fig. 1 und 2 beschrieben worden. Im folgenden wird die Speichervorrichtung beschrieben, die das Test-Signal zur Verkürzung der Testzeit verwendet.

Zur Vereinfachung der Beschreibung und Erläuterung wird unterstellt, daß eine Halbleiterspeichervorrichtung lediglich eine Kapazität von 4 Bits habe, wie es in Fig. 4 beispielsweise gezeigt ist. Die Speicherleitervorrichtung enthält lediglich acht Anschlüsse oder Stifte, nämlich einen Adreßeingangsanschluß, an dem die Adressen duplexiert werden, sowie Anschlüsse für  $\overline{RAS}$ ,

$\overline{CAS}$ ,  $R/W$ ,  $DIN$ ,  $DOUT$ , eine Versorgungsquelle und Masse.

Wie es aus Fig. 4 hervorgeht, sind vorgesehen Speicherzellen 41a bis 41d für jeweils ein Bit und Leseverstärker 42a bis 42d, die bei Verbindungspunkten 43a bis 43d an die Speicherzellen 41a bis 41d angeschlossen sind und zur Verstärkung aus den Speicherzellen ausgelesener Daten dienen. Bei der gezeigten Darstellung haben die Verstärker lediglich eine Stufe. Im allgemeinen werden zweistufige Verstärker verwendet.

Ferner sind vorgesehen MOSTs 45a bis 45d, die zwischen einen Verbindungspunkt 54 und Verbindungspunkte 44a bis 44d geschaltet sind und deren Gates an Verbindungspunkte 47a bis 47d angeschlossen sind, MOSTs 46a bis 46d, die zwischen den Verbindungspunkt 54 und die Verbindungspunkte 44a und 44d geschaltet sind und deren Gates mit dem Anschluß 22 verbunden sind, sowie MOSTs 49a bis 49d, die zwischen die Verbindungspunkte 48a bis 48d und einen Verbindungspunkt 55 geschaltet sind und deren Gates mit Verbindungspunkten 47a bis 47d verbunden sind.

Weiterhin sind vorgesehen ein externer Dateneingangsanschluß 50, der zum Anlegen eines externen Dateneingangssignals dient, ein Ausgangsanschluß 51, über den Ausgangsdaten ausgelesen werden, ein Eingangspuffer 52, dessen Eingangsanschluß mit dem Anschluß 50 verbunden ist und dessen Ausgang zum Verbindungspunkt 54 führt und der zur Zeit des Schreibens aktiviert wird, ein MOST 56, der zwischen den Verbindungspunkt 55 und einen Verbindungspunkt 57 geschaltet ist und dessen Gate mit dem Anschluß 26 verbunden ist, ein MOST 58, der zwischen den Verbindungspunkt 57 und einen Verbindungspunkt 62 geschaltet ist und dessen Gate mit dem Verbindungspunkt 22 verbunden ist, sowie ein Ausgangspuffer 59, dessen Eingang mit dem Verbindungspunkt 57 und dessen Ausgang mit dem Anschluß 51 verbunden ist.

Schließlich sind noch vorgesehen ein Eingangsanschluß 60, der zur Zufuhr eines Adreßeingangssignals dient, ein Decodierer 61, der einen 2-Bit-Adreßeingang und einen 4-Bit-Ausgang aufweist. Exklusiv-ODER-Schaltungen 66a bis 66d, die jeweils mit einem Eingang an einen jeweiligen der Verbindungspunkte 48a bis 48d angeschlossen sind und mit ihrem anderen Eingang alle an einen Verbindungspunkt 65 angeschlossen sind, eine ODER-Schaltung 68 mit vier Eingängen, die jeweils an einen der Ausgänge der Exklusiv-ODER-Schaltungen 66a bis 66d angeschlossen sind, und ein Eingangspuffer 63, dessen Eingang mit dem Anschluß 50 verbunden ist und dessen Ausgang an den Verbindungspunkt 65 angeschlossen ist und der zur Zeit des Lesens aktiviert wird.

Wie es aus Fig. 4B ersichtlich ist, sind ferner vorgesehen ein Eingangsanschluß 70, der zur Zufuhr eines  $R/W$ -Eingangssignals dient, ein Eingangspuffer 71, der zwischen den Eingangsanschluß 70 und den Verbindungspunkt 53 geschaltet ist, der auch in Fig. 4A gezeigt ist, und zwar zur Erzeugung eines Schreibsignals  $\overline{W}$ , und ein Eingangspuffer 72, der zwischen den Verbindungspunkt 53 und den ebenfalls bereits in Fig. 4A dargestellten Verbindungspunkt 64 geschaltet ist, und zwar zur Erzeugung eines Lesesignals  $\overline{R}$ .

Die Arbeitsweise der Schaltung nach Fig. 4 wird im folgenden an Hand von Fig. 5 erläutert, die den Betrieb während des Schreibens darstellt.

Sollen Daten eingeschrieben werden, wird das in Fig. 5D dargestellte  $R/W$ -Signal auf 0 gesetzt. Zu einer Zeit  $t_1$ , fällt das in Fig. 5A gezeigte Signal  $\overline{RAS}$  ab, wenn die Zeilenadresse des duplexierten Adreßsignals

A, das in Fig. 5C dargestellt ist, vom Decodierer 61 aufgenommen wird.

Zu einer Zeit  $t_2$  wird die Spaltenadresse aufgenommen. In Abhängigkeit von den Zuständen der Zeilenadresse und der Spaltenadresse wird einer der vier Decodiererausgänge auf 1 gesetzt. Es sei beispielshalber angenommen, daß das Ausgangssignal des Verbindungspunkts 47a den Wert 1 annimmt, wohingegen die Signale an den Verbindungspunkten 47b bis 47d jeweils auf dem Wert 0 bleiben, wie es in Fig. 5H bis 5K dargestellt ist. Das in Fig. 5C dargestellte Schreibsignal  $W$  ist auf 1 gesetzt, so daß der Eingangspuffer 52 aktiviert ist und der in Fig. 5E gezeigte Dateneingang  $D_{IN}$  zum Verbindungspunkt 54 übertragen wird und von dort über den jetzt leitenden MOST 45a in die Speicherzelle 41a eingeschrieben wird.

Die obige Erläuterung bezieht sich auf einen üblichen Vorgang, der stattfindet, wenn der 1-Pegel des Signals  $CAS$  etwa 5 V beträgt. Wird der 1-Pegel des Signals  $CAS$  auf 10 V angehoben, wie es durch eine unterbrochene Linie in Fig. 5B eingezeichnet ist, wird das in Fig. 5L dargestellte Test-Signal  $TEST$  gleich 1 und das in Fig. 5M dargestellte Test-Signal  $TEST$  wird gleich 0, wie es an Hand von Fig. 1 und 2 beschrieben worden ist. In diesem Zustand werden alle MOSTs 46a bis 46d leitend, so daß die am Verbindungspunkt 54 anliegenden selben Daten gleichzeitig in alle Speicherzellen 41a bis 41d eingeschrieben werden. Dies bedeutet, daß die zum Schreiben erforderliche Zeit um 1/4 (ein Viertel) vermindert wird im Vergleich zu einem Fall, bei dem die MOSTs 45a bis 45d aufeinanderfolgend leitend gemacht werden und dementsprechend das Einschreiben in die Speicherzellen 41a bis 41d aufeinanderfolgend ausgeführt wird.

Zum Lesen wird das  $R/W$ -Signal auf 1 gesetzt, und dementsprechend nimmt das in Fig. 4G gezeigte Signal  $R$  den Wert 1 an. Das Ergebnis davon ist, daß der Eingangspuffer 63 aktiviert ist und daß das dem Eingangsanschluß 50 zugeführte Eingangssignal  $D_{IN}$  zum Verbindungspunkt 65 gelangt.

Die aus den Speicherzellen 41a bis 41d ausgelesenen Daten werden mittels der Verstärker 42a bis 42d verstärkt und gelangen zu den Verbindungspunkten 48a bis 48d. Diese Daten werden mit dem Eingangsdaten  $D_{IN}$  bei den Exklusiv-ODER-Schaltungen 66a bis 66d verglichen. Die Ausgänge der Exklusiv-ODER-Schaltungen 66a bis 66d betragen entweder 0 oder 1, und zwar in Abhängigkeit davon, ob die Daten aus den Speicherzellen 41a bis 41d mit den Eingangsdaten  $D_{IN}$  zusammenfallen oder nicht. Liefert irgendeine der Exklusiv-ODER-Schaltungen 66a bis 66d eine 1, was bedeutet, daß das Datensignal der betreffenden Speicherzelle mit dem Eingangsdatensignal  $D_{IN}$  nicht übereinstimmt, erscheint am Ausgang der ODER-Schaltung 68 eine 1. Auf diese Weise ist es möglich, die Daten von den vier Speicherzellen ist die Testzeit auf 1/4 vermindert.

Die Schaltung mit den MOSTs 56 und 58 bildet einen Schalter zur Umschaltung zwischen einem üblichen Betriebsmodus und einem Verkürzungstestzeit-Betriebsmodus, d. h. ein Betriebsmodus mit reduzierter Testzeit. Beim gewöhnlichen oder üblichen Betriebsmodus befindet sich der MOST 56 im leitenden Zustand und die Daten von der vom Ausgang des Decodierers 61 ausgewählten Speicherzellen werden zum Ausgangspuffer 59 übertragen.

Beim Verkürzungstestzeit-Betriebsmodus befindet sich der MOST 58 im leitenden Zustand, so daß der Ausgang der ODER-Schaltung 68 zum Ausgangspuffer

59 übertragen wird und demzufolge zum Ausgangsanschluß 51. Es ist daher möglich, an Hand der Daten am Ausgangsanschluß 51 die Speicherzellendaten zu beurteilen. Eine 1 am Ausgangsanschluß 51 bedeutet das Vorhandensein eines Fehlers, wohingegen eine 0 das Nichtvorhandensein eines Fehlers anzeigt.

Bei dem betrachteten Ausführungsbeispiel wird der 1-Pegel des Eingangssignals  $CAS$  angehoben, um die Testsignale  $TEST$  und  $TEST$  zu erzeugen. Die Erfindung ist auf eine derartige Anordnung nicht begrenzt. Es ist auch möglich, den 1-Pegel irgendeines anderen Eingangssignals während einer Zeitspanne anzuheben, während der sich das  $R/W$ -Signal und das  $D_{IN}$ -Signal in einem willkürlichen oder beliebigen Zustand befinden.

Ein zweites Ausführungsbeispiel einer Halbleiterspeichervorrichtung gemäß der Erfindung wird im folgenden an Hand von Fig. 6 beschrieben.

Dieses Ausführungsbeispiel der erfindungsgemäßen Halbleiterspeichervorrichtung enthält eine Speicherzellenanordnung 80 mit 262,144 Speicherzellen, die in 512 ( $= 2^9$ ) Zeilen und 512 ( $= 2^9$ ) Spalten unter Bildung einer Matrix angeordnet sind. Die Speicherzellenanordnung 80 ist in vier Blöcke 85 bis 88 unterteilt, wobei jeder Block  $262,144/4 = 65,536$  Speicherzellen enthält. Einheitsspeicherzellen für ein einziges Bit, die in den Blöcken 85 bis 88 jeweils eine vergleichbare Position einnehmen, sind mit 81 bis 84 bezeichnet.

Zur Auswahl einer Speicherzelle innerhalb der Speicherzellenanordnung 80 werden neun Bits ( $RA\ 0$  bis  $RA\ 8$ ) für ein Zeilenadresssignal und neun Bits ( $CA\ 0$  bis  $CA\ 8$ ) für ein Spaltenadresssignal, d. h. insgesamt 18 Bits benötigt. Wenn allerdings vier Speicherzellen, beispielsweise die Speicherzellen 81 bis 84, gleichzeitig ausgewählt werden, benötigt man nicht die höchstwertigen Bits ( $RA\ 8$  und  $CA\ 8$ ) des Spaltenadreib- und Zeilenadreibsignals. Dies erleichtert die Verwirklichung des zweiten Ausführungsbeispiels. Dynamische RAMs oder DRAMs, die heutzutage weitverbreitet hergestellt werden, benutzen ein System, bei dem jedes Bit des Zeilenadreibsignals und ein entsprechenden Bit des Spaltenadreibsignals über einen einzigen Eingangsanschluß unter Verwendung eines Zeitaufteilungsverfahrens bzw. im Zeitmultiplex zugeführt werden. So hat beispielsweise der in Fig. 6 dargestellte dynamische RAM neun Adreibeingangsanschlüsse  $A\ 0$  bis  $A\ 8$ , über die neun Bits  $RA\ 0$  bis  $RA\ 8$  des Zeilenadreibsignals und anschließend neun Bits  $CA\ 0$  bis  $CA\ 9$  des Spaltenadreibsignals zugeführt werden.

Werden die vier Speicherzellen gleichzeitig ausgewählt, ist der Anschluß  $A\ 8$  für die Zwecke der Zufuhr eines Adreibsignals nicht erforderlich. Es ist daher möglich, den Anschluß  $A\ 8$  für die Zwecke der Zufuhr einer hohen Gleichspannung zwecks Erzeugung der Testsignale zu benutzen. Bei dem betrachteten Ausführungsbeispiel ist es lediglich erforderlich, eine hohe Gleichspannung anzulegen, so daß die Schaltungsanordnung im Vergleich zum Ausführungsbeispiel nach Fig. 1 einfacher ist, bei der der 1-Pegel des Signals  $CAS$  angehoben werden muß.

Fig. 7A, 7B und 7C zeigen in weiteren Einzelheiten wie das Konzept des Ausführungsbeispiels nach Fig. 6 realisiert ist. Zur Vereinfachung der Darstellung und Beschreibung enthält die gezeigte Speicherzellenanordnung 80 lediglich 64 Zellen  $MC\ 11$  bis  $MC\ 88$ , die in acht Zeilen und in acht Spalten angeordnet sind. Die Anordnung ist in vier Blöcke 85, 86, 87 und 88 unterteilt, von denen jeder 16 Speicherzellen in vier Zeilen und vier Spalten enthält. Alle Bitleitungen jedes Blocks sind je-

weils über ein entsprechendes von Transfergattern *TG 11* bis *TG 28* mit einer entsprechenden von vier Leitungen oder einem entsprechenden von vier Knoten *44a* bis *44d* verbunden.

Zur Auswahl einer der Speicherzellen werden drei Bits (*RA 0* bis *RA 2*) für ein Zeilenadreßsignal und drei Bits (*CA 0* bis *CA 2*) für ein Spaltenadreßsignal eingegeben. Das höchstwertige Bit (*RA 2*) des Zeilenadreßsignals und das höchstwertige Bit (*CA 2*) des Spaltenadreßsignals werden dem Decodierer *61* zugeführt, der auf diese Weise eine der Leitungen *44a* bis *44d* auswählt. Die restlichen Bits (*RA 1*, *RA 0*) des Zeilenadreßsignals werden einem nicht dargestellten Zeilendecodierer zugeführt, und zwar zur Auswahl einer der Leitungen *WT0* bis *WT3* zwecks Auswahl einer der Wortleitungen in jedem Block. Die restlichen Bits (*CA 1*, *CA 0*) des Spaltenadreßsignals werden einem nicht dargestellten Spaltendecodierer zugeführt, und zwar zur Auswahl einer der Leitungen *BDD0* bis *BD3* zur Auswahl einer der Bitleitungen in jedem Block. Die Bitleitungen sind jeweils mit Verstärkern *42* verbunden.

Während des gewöhnlichen Betriebs werden vier Speicherzellen, beispielsweise *MC 11*, *MC 15*, *MC 51*, *MC 55*, jeweils bei der gleichen Position innerhalb der betreffenden Blöcke durch die Ausgänge des Zeilenadreßdecodierers und des Spaltenadreßdecodierers ausgewählt, und es wird eine der vier Speicherzellen durch die Ausgänge des Decodierers *61* ausgewählt.

Soll ein Verkürzungszeit-Test bzw. ein Test mit verkürzter Zeit durchgeführt werden, entfällt die Zufuhr der höchstwertigen Bits des Zeilenadreßsignals und des Spaltenadreßsignals, und stattdessen wird eine den Test befehlende hohe Gleichspannung über den Adreßanschluß *A 2* für die höchstwertigen Bits (*RA 2*, *CA 2*) eingegeben. Diese hohe Gleichspannung wird von einer Verkürzungszeit-Test-Aufruf-Detektionsschaltung *100* festgestellt, die die Testsignale *TEST* und *TEST* erzeugt, und es erfolgt ein gleichzeitiger Zugriff zu allen vier Speicherzellen, die von dem Zeilenadreßdecodierer und dem Spaltenadreßdecodierer ausgewählt worden sind.

#### Patentansprüche

##### 1. Halbleiterspeichervorrichtung enthaltend:

- a) eine Vielzahl von Speicherzellen (*41a* bis *41d*; *MC 11* bis *MC 88*),
- b) eine Testaufruf-Detektionsschaltung (Fig. 1; *100*), die zum Erzeugen eines Test-Signals (*TEST*) auf eine Spannung anspricht, welche an einen Eingangsanschluß (*2*; *A 2*) der zum normalen Betrieb der Halbleiterspeichervorrichtung dienenden Eingangsanschlüsse dieser Vorrichtung anliegt und welche höher als ein Bereich von Spannungen ist, die bei normalen Betriebsbedingungen anliegen,
- c) Einrichtungen (*46a* bis *46d*, *58*), die ansprechend auf das Test-Signal (*TEST*) veranlassen, daß der Halbleiterspeichervorrichtung zugeführte Daten in mehrere der Speicherzellen gleichzeitig eingeschrieben werden und daß die in den mehreren Speicherzellen enthaltenen Daten gleichzeitig auf ihnen ausgelesen werden, und
- d) eine Einrichtung (*65*, *66a* bis *66d*, *67a* bis *67d*, *68*) zur Beurteilung, ob oder ob nicht die aus den mehreren Speicherzellen ausgelesenen Daten mit den der Halbleiterspeichervorrichtung ursprünglich zugeführten Daten überein-

stimmen.

2. Halbleiterspeichervorrichtung nach Anspruch 1, bei der die Beurteilungseinrichtung eine Vielzahl von Beurteilungsschaltungen (*66a* bis *66d*) enthält, welche die der Halbleiterspeichervorrichtung zugeführten Daten und die aus den Speicherzellen ausgelesenen Daten empfängt.

3. Halbleiterspeichervorrichtung nach Anspruch 2, bei der jede der Beurteilungsschaltungen eine Exklusiv-ODER-Schaltung (*66a*, *66b*, *66c*, *66d*) enthält, an deren Ausgang eine "1" auftritt, wenn das aus der entsprechenden Speicherzelle ausgelesene Datum mit dem der Halbleiterspeichervorrichtung zugeführten Datum nicht übereinstimmt.

4. Halbleiterspeichervorrichtung nach Anspruch 3, bei der die Beurteilungseinrichtungen ferner eine ODER-Schaltung (*68*) enthalten, der die Ausgänge der Exklusiv-ODER-Schaltungen zugeführt werden und die ein Fehlerdetektionssignal abgibt, wenn am Ausgang irgendeiner der Exklusiv-ODER-Schaltungen eine "1" auftritt.

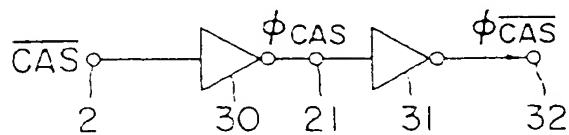
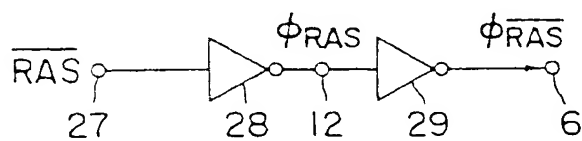
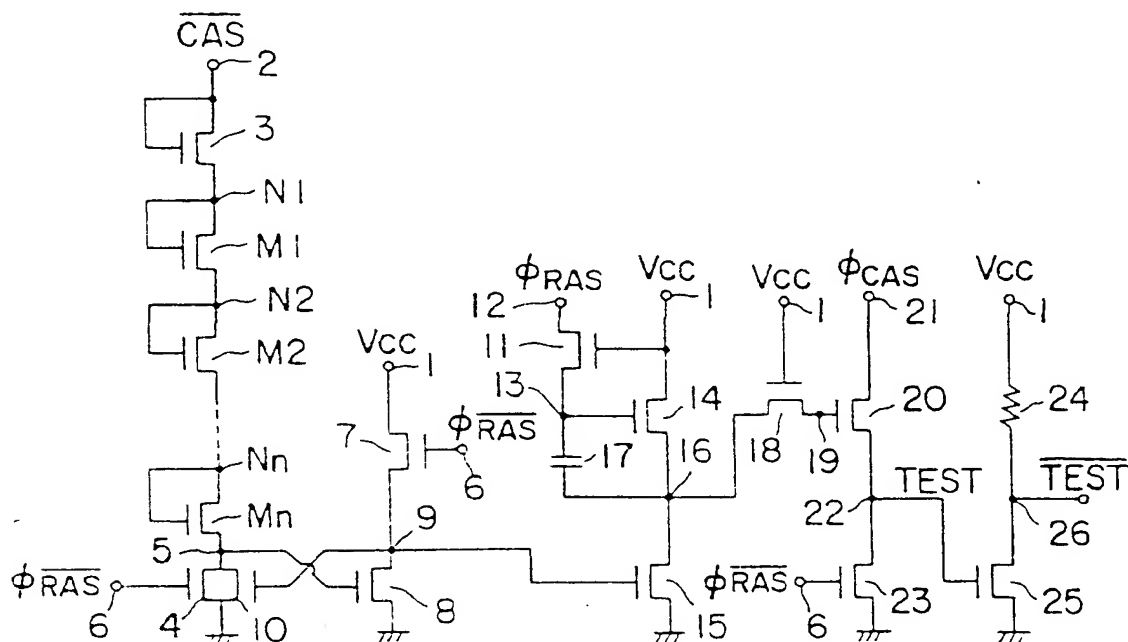
5. Halbleiterspeichervorrichtung nach einem der Ansprüche 2 bis 4, bei der die Beurteilungseinrichtung das Ergebnis der Beurteilung an einen äußeren Anschluß (*Out*) ausgibt.

6. Halbleiterspeichervorrichtung nach einem der vorstehenden Ansprüche, bei der jede der Speicherzellen einen Feldeffekttransistor enthält.

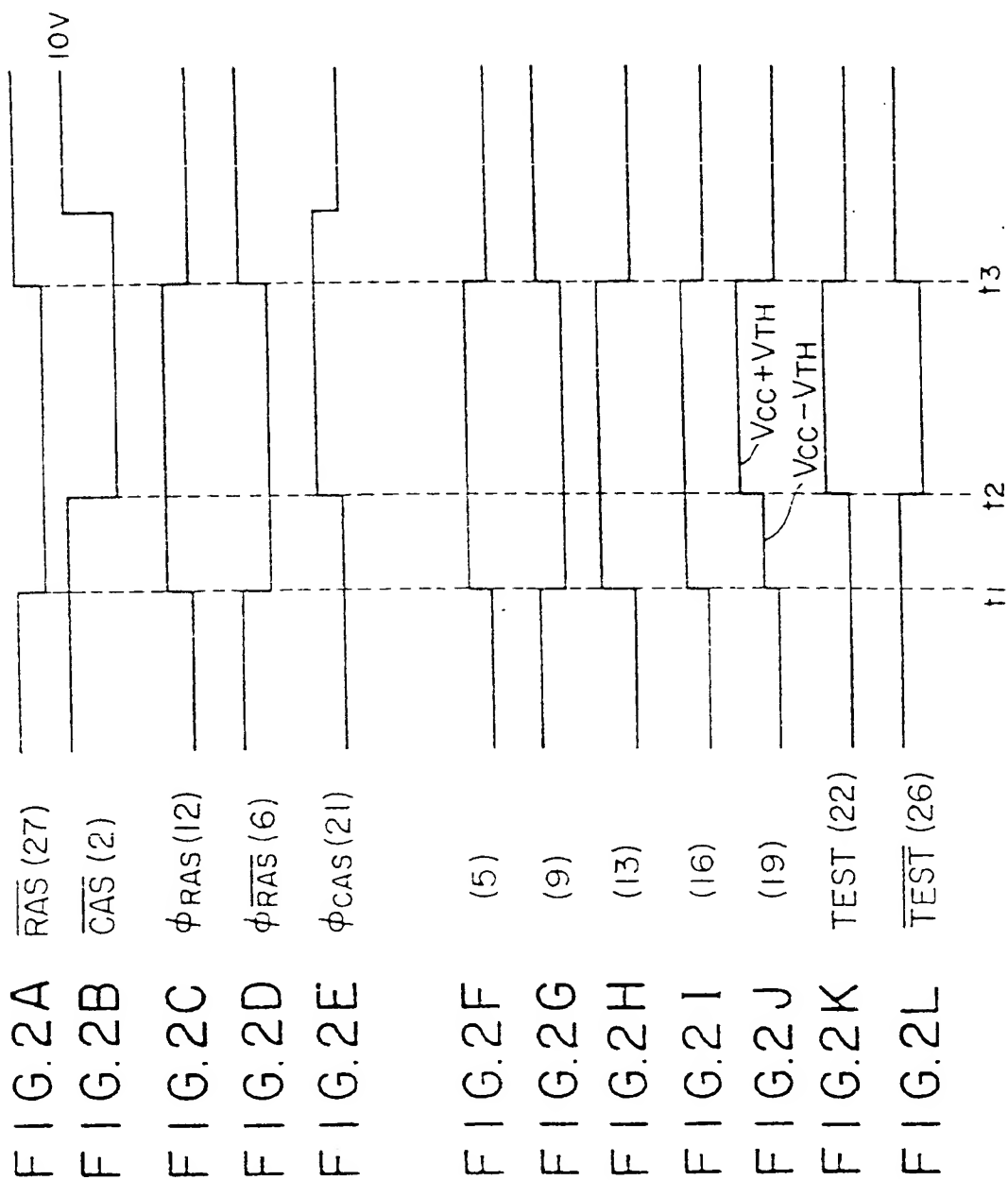
7. Halbleiterspeichervorrichtung nach einem der vorstehenden Ansprüche, bei der die Eingabe der in die Speicherzellen während des Einschreibvorganges einzuschreibenden Daten und die Eingabe der Daten, die zur Beurteilung der Übereinstimmung mit den aus den Speicherzellen während des Lesevorganges gelesenen Daten herangezogen werden, über denselben Eingangsanschluß (*50*) der Halbleiterspeichervorrichtung erfolgt.

8. Halbleiterspeichervorrichtung nach einem der vorstehenden Ansprüche, bei der der Eingangsanschluß (*A 2*), an dem die zum Erzeugen des Test-Signals (*TEST*) dienende höhere Spannung anliegt, der dem höchstwertigen Bit zugeordnete Adreßeingangsanschluß der Halbleiterspeichervorrichtung ist.

Hierzu 8 Blatt Zeichnungen









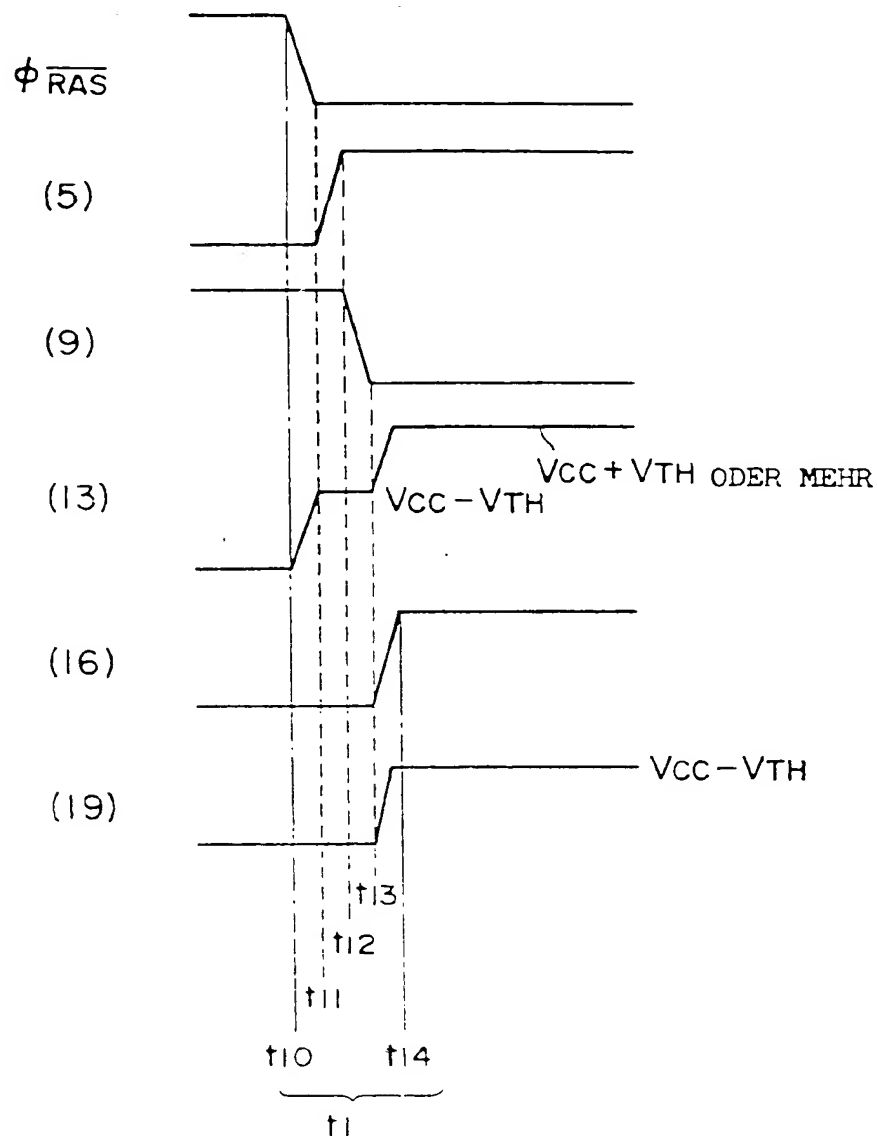


FIG. 3

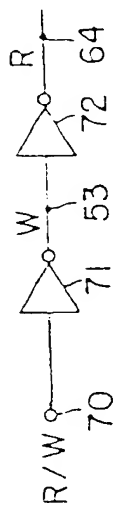


FIG. 4B

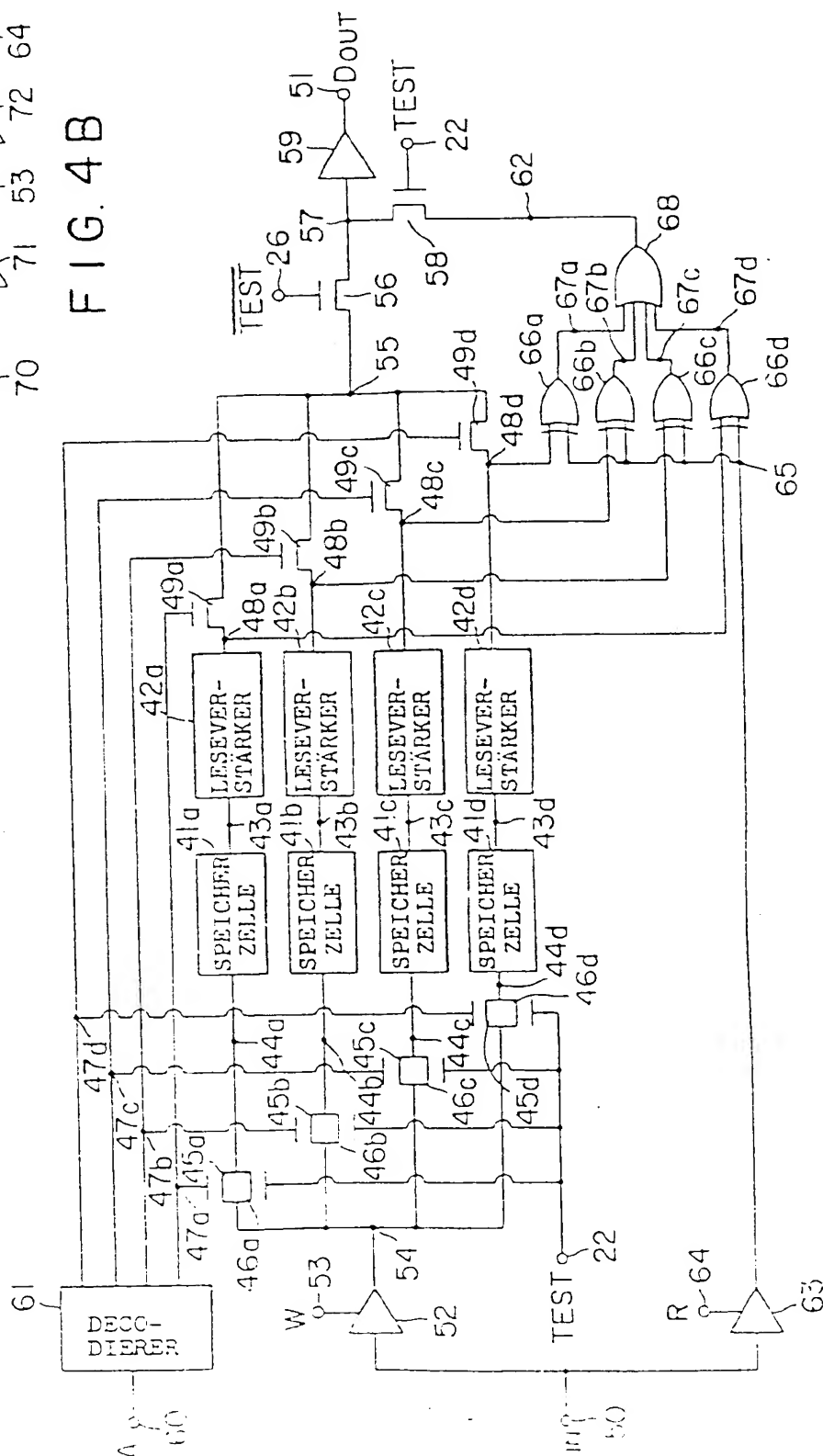
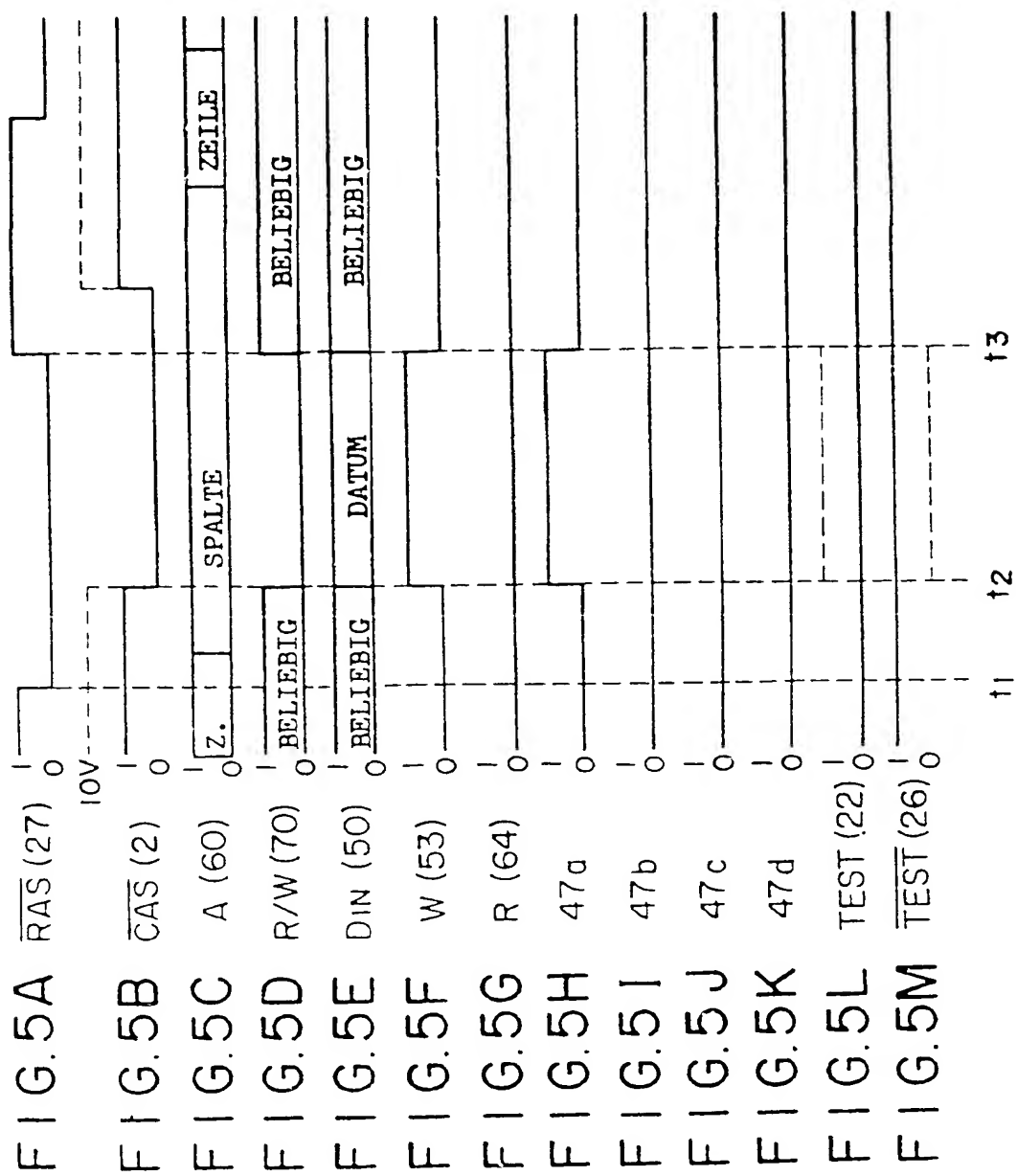


FIG. 4A



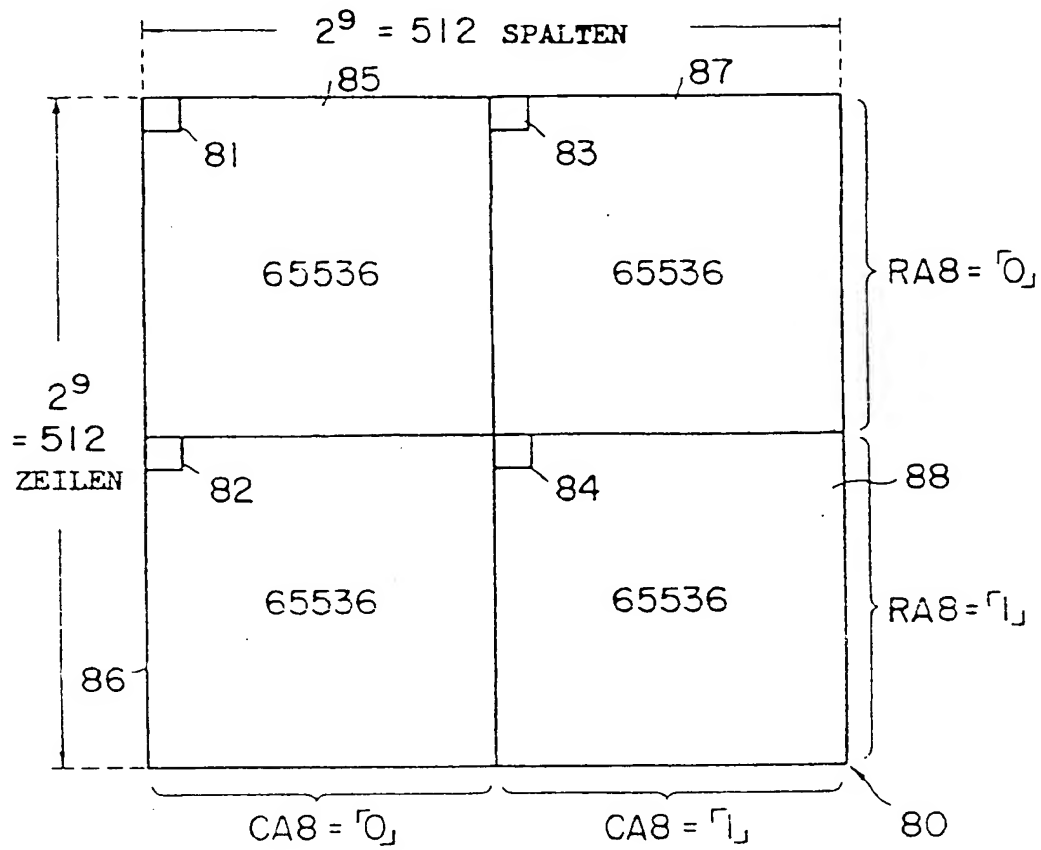


FIG. 6

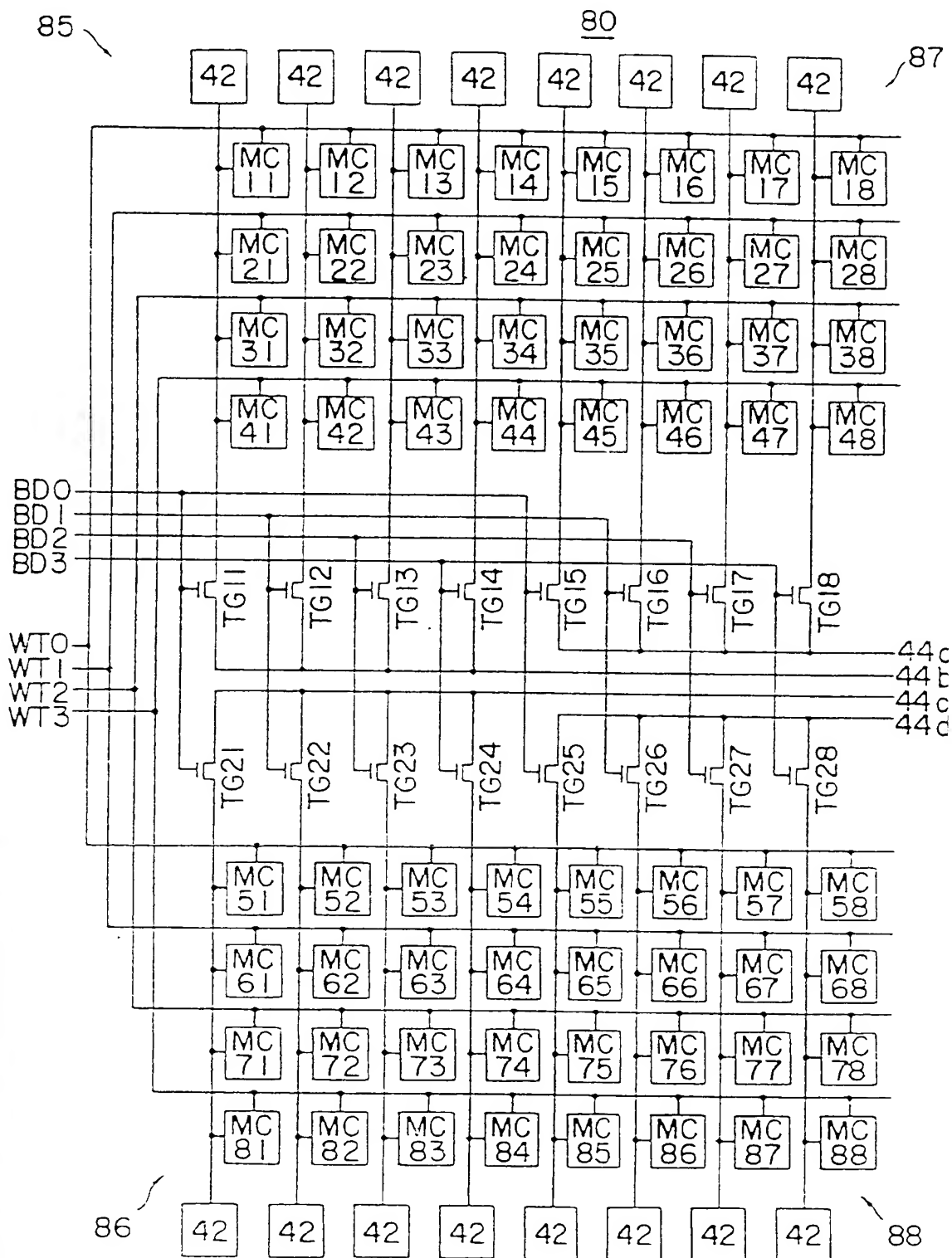


FIG. 7A

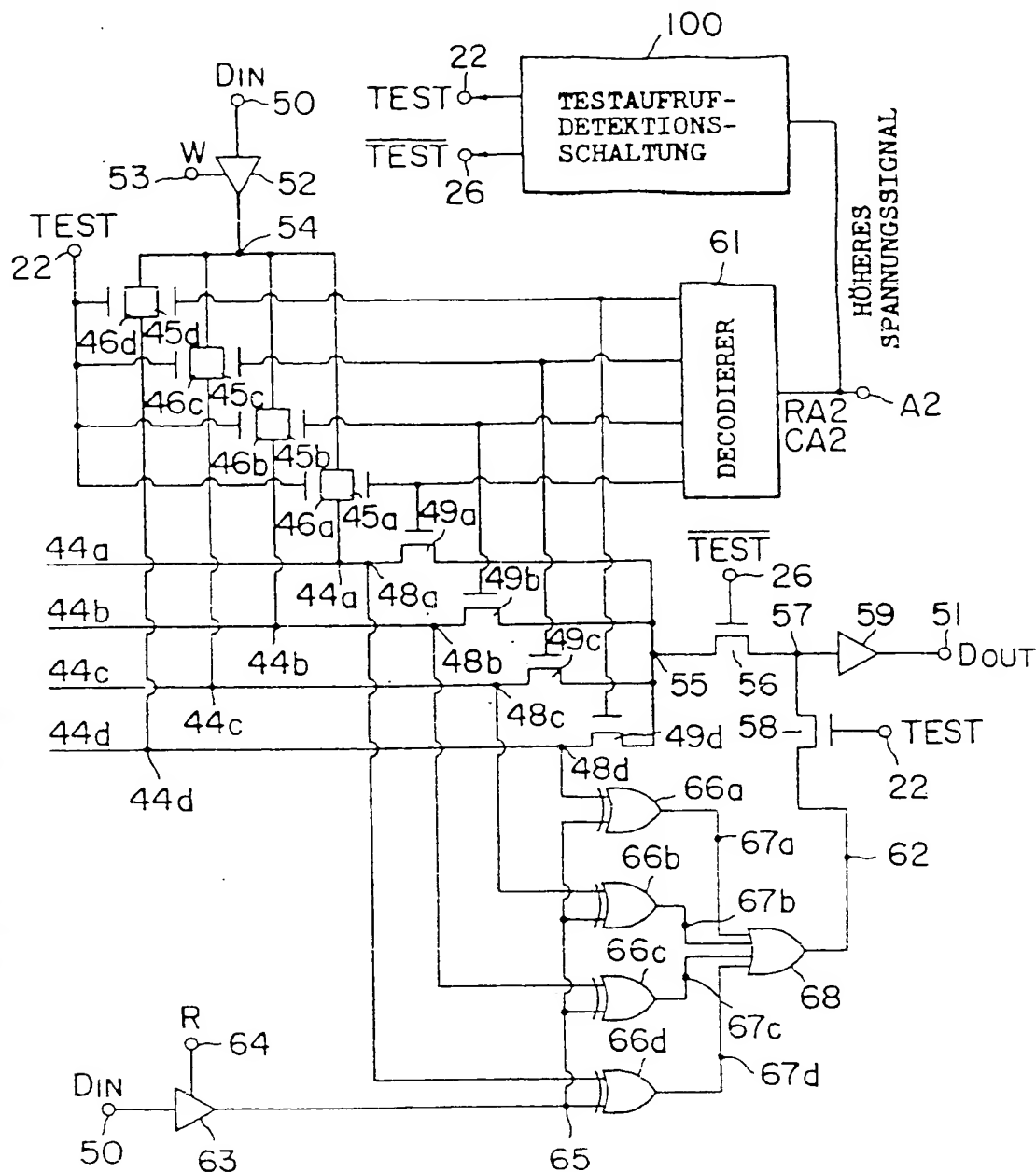


FIG. 7B

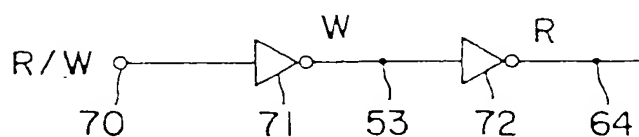


FIG. 7C.